

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-326879

(43)Date of publication of application : 08.12.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 29/78

(21)Application number : 10-131708

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 14.05.1998

(72)Inventor : HASSEIN ABRAHIM HANAFI
IRVIND KUMAR
WORDEMAN MATTHEW R

(30)Priority

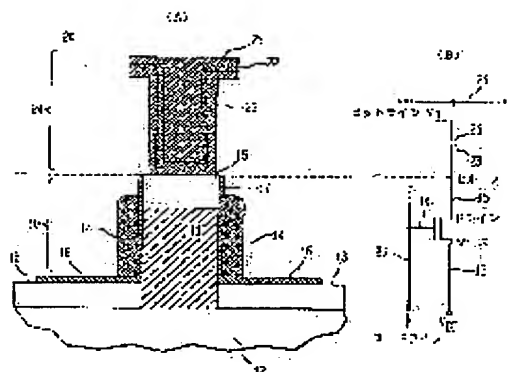
Priority number : 97 858486 Priority date : 16.05.1997 Priority country : US

(54) SEMICONDUCTOR CIRCUIT AND MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an improve FET/capacitor structure which is suitable for high density integration.

SOLUTION: New structures of a vertical type FET 10 and a capacitor 24 forming a memory cell can be employed in a basic building block of a memory chip, such as a high-density DRAM. A first electrode 23 of the capacitor 24 is connected to a drain 15 of a transistor. A source 13 of the transistor is connected to a source of another transistor. A gate 14 is connected to a work line 26, and a second electrode 21 of the capacitor 24 is connected to a bit line 21.



LEGAL STATUS

[Date of request for examination] 23.10.1998

[Date of sending the examiner's decision of rejection] 26.10.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-326879

(43) 公開日 平成10年(1998)12月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
29/78

H 0 1 L 27/10

6 8 1 B

6 2 1 Z

6 7 1 A

29/78

3 0 1 X

審査請求 未請求 請求項の数18 O L (全 11 頁)

(21) 出願番号 特願平10-131708

(22) 出願日 平成10年(1998) 5月14日

(31) 優先権主張番号 08/858486

(32) 優先日 1997年 5月16日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ハッセイン・アブラヒム・ハナフィ

アメリカ合衆国 10526 ニューヨーク州
ゴールデンズ ブリッジ ビーオーボッ
クス243 アパシュ サークル 7

(74) 代理人 弁理士 坂口 博 (外1名)

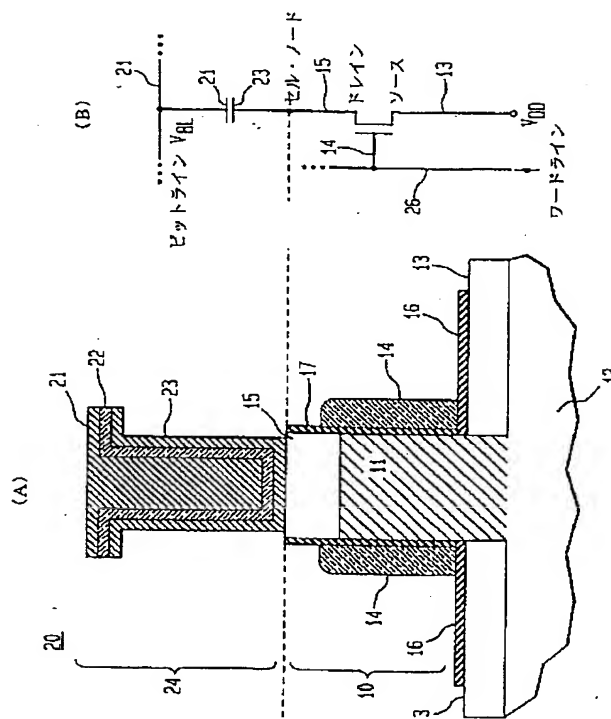
最終頁に続く

(54) 【発明の名称】 半導体回路およびメモリ・デバイス

(57) 【要約】

【課題】 高密度集積に適した改良されたFET/キャパシタ構造を提供する。

【解決手段】 メモリ・セルを形成する縦形FET10とキャパシタ24との新規な構造は、高密度DRAMのようなメモリ・チップの基本ビルディング・ブロックとすることができる。キャパシタの第1の電極23は、トランジスタのドレイン17に接続されている。トランジスタのソース13は、他のトランジスタのソースに接続されている。ゲート14はワードライン26に接続され、キャパシタの第2の電極21は、ビットライン21に接続されている。



【特許請求の範囲】

【請求項1】少なくとも2個のセルを備える半導体回路において、

前記各セルは、

ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、

第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、

前記セルのソースは、相互接続されている、ことを特徴とする半導体回路。

【請求項2】少なくとも2個のセルを備える半導体回路において、

前記各セルは、

ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、

第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ソースに接続されたキャパシタとを有し、

前記セルのドレインは、相互接続されている、ことを特徴とする半導体回路。

【請求項3】前記ゲートが相互接続されていることを特徴とする請求項1または2記載の半導体回路。

【請求項4】メモリ・デバイスの一部であることを特徴とする請求項3記載の半導体回路。

【請求項5】前記相互接続されたゲートは、ワードラインに接続され、または、前記メモリ・デバイスのワードラインを形成することを特徴とする請求項4記載の半導体回路。

【請求項6】前記第2の電極は、前記メモリ・デバイスのビットラインに接続されていることを特徴とする請求項4記載の半導体回路。

【請求項7】前記トランジスタは、チャンネルとして働く垂直ピラーを有し、前記ソースは、前記チャンネルの一端に設けられ、前記ドレインは、前記チャンネルの他端に設けられていることを特徴とする請求項1記載の半導体回路。

【請求項8】前記トランジスタは、チャンネルとして働く垂直ピラーを有し、前記ドレインは、前記チャンネルの一端に設けられ、前記ソースは、前記チャンネルの他端に設けられていることを特徴とする請求項2記載の半導体回路。

【請求項9】前記ゲートは、チャンネルとして働く前記ピラーの側壁を取り囲み、薄い酸化物層が、前記ゲートと前記ピラーとの間に設けられ、ゲート酸化物として働くことを特徴とする請求項7または8記載の半導体回路。

【請求項10】前記少なくとも2つのセルのトランジスタは、1つの同じソースを共有することを特徴とする請求項7記載の半導体回路。

【請求項11】前記少なくとも2つのセルのトランジスタは、1つの同じドレインを共有することを特徴とする請求項8記載の半導体回路。

【請求項12】共通の基板上に形成されていることを特徴とする請求項1または2記載の半導体回路。

【請求項13】請求項1または2に記載のセルのアレイを備えるメモリ・デバイスにおいて、

前記セルの第1のグループの第2の電極は、第1のビットラインで相互接続され、

前記セルの第2のグループの第2の電極は、第2のビットラインで相互接続され、

前記第1のグループの少なくとも1つのセルと、前記第2のグループの1つのセルとは、ワードラインによって相互接続され、前記ワードラインは、これらのセルのゲートに接続されている、ことを特徴とするメモリ・デバイス。

【請求項14】前記ビットラインは、前記第2の電極上に直接に形成されていることを特徴とする請求項13記載のメモリ・デバイス。

【請求項15】ダイナミック・ランダム・アクセス・メモリ（DRAM）であることを特徴とする請求項13記載のメモリ・デバイス。

【請求項16】少なくとも1個のセルを備えるメモリ・デバイスにビットを記憶する方法において、前記セルは、

ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、

第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、

前記ソースは電源電圧に接続され、前記第2の電極はビットラインに接続され、前記ゲートはワードラインに接続され、

前記方法は、

前記ビットラインを0Vにドライブするステップと、前記ワードラインに電圧を供給して前記セルを選択して前記キャパシタをチャージし、前記電源電圧にほぼ等しい電圧を、前記第1の電極と第2の電極との間に生成するステップと、を含むことを特徴とする方法。

【請求項17】少なくとも1個のセルを備えるメモリ・デバイスに記憶されたビットを除去する方法において、前記セルは、

ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、

第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、

前記ソースは電源電圧に接続され、前記第2の電極はビットラインに接続され、前記ゲートはワードラインに接続され、前記ビットは、前記第1の電極と第2の電極と

の間に、前記電源電圧にほぼ等しい電圧の形で記憶され、
前記方法は、
前記ビットラインを、0Vから前記電源電圧にほぼ等しい電圧にドライブするステップと、
前記ワードラインに電圧を供給して前記セルを選択して前記キャパシタをディスチャージするステップと、を含むことを特徴とする方法。

【請求項18】少なくとも1個のセルを備えるメモリ・デバイスに記憶されたビットを読取る方法において、前記セルは、
ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、
第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、
前記ソースは電源電圧に接続され、前記第2の電極はビットラインに接続され、前記ゲートはワードラインに接続され、前記ビットは、前記第1の電極と第2の電極との間に、前記電源電圧にほぼ等しい電圧の形で記憶され、
前記方法は、
前記ビットラインを、前記電源電圧の約半分の電圧にドライブするステップと、
前記ワードラインに電圧を供給して前記トランジスタをターンオンし、前記第1の電極と第2の電極との間に記憶された前記電圧が、前記ビットラインの電圧に変化を生じさせるステップと、
前記変化を検出するステップと、を含むことを特徴とする方法。

【発明の詳細な説明】

【0001】、

【発明の属する技術分野】本発明は、アクセス・デバイスとして働くFETと、キャパシタとの新規な構造に関するものであり、FETとキャパシタとは、メモリ、例えば、ダイナミック・ランダム・アクセス・メモリ(DRAM)の記憶セルを構成している。

【0002】

【従来の技術】高集積密度のメモリ・チップ、論理デバイス、および他の種類のデバイスを作製できるようにするためには、それらの特定の要素をさらにスケールダウンする方法を見つけなければならない。

【0003】縦形電界効果トランジスタ(FET)は、このような種々のデバイスに重要な役割をはたしている。他の重要なメモリ・デバイスのビルディング・ブロックは、情報を実際に記憶するキャパシタである。FETは、通常、これらのキャパシタのアクセス・デバイスとして働く。記憶セルのワードラインおよびビットラインに適切な信号を供給することによって、個々のFETは、スイッチされて、対応するキャパシタのチャージを

可能にすることができる。

【0004】GビットDRAMメモリに必要な高パッケージング密度を実現するためには、最小のメモリセル・サイズを保持することが極めて重要である。この最小セル・サイズは、典型的に $4F^2$ (Fは、最小のリソグラフィ・ライン幅である)のオーダーである。

【0005】

【発明が解決しようとする課題】本発明の目的は、例えばメモリ・デバイスに用いるために、アクセス・デバイスおよびキャパシタの高密度集積方法を提供することにある。

【0006】本発明の他の目的は、高密度集積に適した改良されたFET/キャパシタ構造を提供することにある。

【0007】

【課題を解決するための手段】本発明は、縦形トランジスタとキャパシタ(例えば、スタック・キャパシタ)の新規な構造、およびこのような構造の動作方法に関する。この構造は、例えば、メモリ・デバイスのメモリ・セルとして適している。

【0008】新規な構造は、垂直に配置されたチャンネルを有するFETと、FETの最上部電極、例えばドレインの上部に形成されるキャパシタとを備えている。キャパシタは、最上部電極に相互接続されている。FETのソース電極は、例えば、共通ソース電圧 V_{DD} に接続される。ゲート電極は、ワードラインにリンクされ、キャパシタの上部電極は、ビットラインに接続される。

【0009】好適な実施例では、ゲート電極(例えば、ポリシリコンよりなる)は、共通ワードラインすなわち行ラインに沿ったすべてのデバイスを直接に接続する。

【0010】この新規な構造は、詳細な説明で述べるように、情報を記憶しおよび読取るための新しい動作方法を必要とする。

【0011】本発明の他の実施例では、ドレインとして働くドープ領域と、ソースとして働くドープ領域とが交換される。このような構造は、共通ドレイン・トランジスタ・キャパシタ・スタックと呼ぶことができる。

【0012】上部にスタックされた記憶キャパシタを有するアクセス・トランジスタとして働く縦形FETの集積は、非常に小さいメモリ・セルを実現することを可能にする。

【0013】本発明のセルを、現在の半導体製造プロセスと共用できる処理工程を用いて作製できることは、利点である。

【0014】

【発明の実施の形態】本発明は、主に、DRAMメモリおよびDRAMメモリ・セルに関係している。本発明により提供される新規なFET/キャパシタ構造は、例えば論理デバイス(例えばシフトレジスタ)のような他のデバイスにも用いることができる。

【0015】ポリシリコン（多結晶シリコンとも称される）は、化学気相成長法（CVD）、または減圧化学気相成長法（LPCVD）、および他の既知の方法を用いて形成することができる。ポリシリコンは、非常に多数の単結晶領域よりなる固体である。

【0016】メモリという表現は、基板上または基板内に形成されたあらゆる種類のメモリ・デバイスを含むものとする。このようなメモリは、種々のメモリ・セルおよび他の種類の回路を含むことができる。

【0017】“側壁（sidewall）”については、半導体構造のあらゆる種類の面を意味し、この面は、半導体構造の基板の面に対して傾斜している。前記基板の面に垂直な側壁は特に重要である。

【0018】ここで用いられる縦形FETは、ピラー（pillar）の側壁に形成された3次元トランジスタである。ピラーの面積はリソグラフィカルに定められ、ピラーは、例えばシリコンより構成できる。縦形FETでは、電流は、ピラーの側壁に沿って垂直に流れ、ピラーを取り囲むポリシリコン・ゲートによって制御される。ゲート長は、ピラーの高さによって調整される。縦形FETが選択されることは、1996年11月15日に出願された米国特許出願第08/749,748号明細書に示されているように、その小さな領域フットプリントおよび容易なスケラビリティ（scalability）に対する可能性の故に、当然である。トランジスタ・チャンネルについて垂直次元を利用することは、面積スケリングを可能にしながら、短チャンネル効果を抑制として排除する。あらゆる種類の縦形FETは、本発明に関連して用いるのに適しており、説明されるFETは、単なる例示である。

【0019】後述するように、ポリシリコン・ゲートは、縦形FETのピラーの周囲に均一に付着される。このためには、ワードラインに垂直なビットラインに沿って隣接するデバイス（メモリ・セル）間の間隔は、ゲートがビットラインの方向に短絡しないことを保証するためには、Fよりわずかに大きくなければならない（すなわち $F+f$ であり、 f は約 $0.1F$ のオーダーである）。大きな f を選択することによって f が大きくなると、集積密度が減少することは明らかである。

【0020】縦形トランジスタの最上部電極は、ドレインである。同様に、ソースを、最上部電極とすることもできる。

【0021】本発明を、図1（A）および（B）に基づいて説明する。図1（A）には、本発明の第1実施例を示す。図1（B）には、第1実施例の2つの基本的なビルディング・ブロックが、どのように互いに配置され接続されるかを示している。

【0022】図1において、上部にキャパシタ24が設けられた縦形FET10の断面図が示されている。FETとキャパシタとの組み合わせは、メモリ・セル20、単

にセルと呼ばれている。

【0023】FET10は、ピラー（柱）状の形をしている。ピラーは、基板12の面において、円形、正方形、または長方形の断面を有することができる。基板12は、例えばシリコンとすることができる。

【0024】ゲート・チャンネル11は、FET10のソース電極13とドレイン電極15との間の領域である。Asを基板12とピラーの上部とに注入して、ソース13とドレイン15をそれぞれ形成することができる。n形ドーピングには、例えば、P、As、およびSbが適している。チャンネル11は、所望の動作を行うために、選択的に導電性または非導電性とすることができる。ゲート・チャンネルとして働くピラーは、基板12と同じ材料（例えば、シリコン）で構成される。ピラーは、pドーブとすることができる。p形ドーピングには、例えば、B、In、およびGaが適している。画成されたゲート・チャンネル11およびポリシリコン・ゲート層14は、このようなFETの動作には極めて重要である。しかし、このようなチャンネルおよび隣接ポリシリコン層の所望のサイズは、増加的に小さくなっているので、製造プロセスの不正確さは、小さいチャンネル11を、容易に短絡または漏洩的にし、各FET10および最終的には全メモリ・セル20またはDRAM（メモリ・セル20は一部分にすぎない）さえも、不作動にしてしまう。さらに、チャンネル11およびポリシリコン層14の寸法は、デバイスの電気特性を制御する。FETの性能は、デバイスの形状に極めて依存し、材料のドーピング・プロファイルおよび品質は、表面などを近似する。このことは、ポリシリコン・ゲート導体14の寸法が正確に制御されることを必要とする。前述したように、前記米国特許出願第08/749,748号明細書に開示されている寸法は、縦形FETを作製するのに適している。

【0025】縦形FETのゲート誘導ドレイン漏洩（Gate induced Drain Leakage: GIDL）は、軽度ドーブ・ドレイン（lightly doped drain: LDD）を用いることによって、軽減することができる。このようなLDDは、縦形FETにおける接合プロファイルの垂直グレーディングを与える。

【0026】図1（A）に示すように、ポリシリコン・ゲート層14は、ゲート酸化物17によってチャンネル11から分離されている。他の酸化層16は、ソース13とポリシリコン・ゲート層14との間に設けられており、ソースとゲートとを分離する。ゲート酸化物17は、また、ドレイン15がポリシリコン・ゲート層14から分離されるように配置される。

【0027】スタック・キャパシタ24は、FET10の上部に形成される。このキャパシタは、上側電極21と下側電極23とを有している。TaSiNを下部電極

23として用いることができ、TiNおよびPtを上部電極21として用いることができる。上部電極21は、同様に、例えばPt層とTiN層とよりなる層構造とすることもできる。誘電体層22が、これら2つの電極間に設けられる。BSTO（バリウムストロンチウムチタン酸塩）を、誘電体として用いることができる。本実施例では、下側電極23は、FETのドレイン15に直接に接続されている。下側電極23は、同様に、パイア、スタッド、または他の相互接続によって、FETに接続することができる。このようなスタッドは、例えばWで作ることができる。

【0028】FET10およびキャパシタ24の新規な構造を、図1(B)に示す。図1(B)に示すように、電源電圧 V_{DD} は、FET10のソース13に供給される。本発明によれば、隣接FETのソースは、すべて共通であり、 V_{DD} 電源電圧に接続される。すべてのソースを1つの同じ V_{DD} 電源に接続するか、あるいはFETを小さなアレイにグループ化し、その各々に別個の電源を割り当てる。

【0029】FET10のゲート14は、ワードライン26すなわち行ラインに接続される。図6に関連して示されるように、ゲートとワードラインとが互いに十分に接近して形成されるならば、ゲートはワードラインを形成することができる。FETのドレイン15は、キャパシタ24の下部電極23に直接に接続される。相互接続の点は、また、セル・ノードと呼ばれる。上部電極21は、セルのビットラインすなわち列ラインに接続される、あるいは上部電極自体がビットラインである。

【0030】高密度DRAMについてのアレイ適合性は、例えば図1(B)に示される新規かつ進歩性のある共通ソース構造を用いることによって、得られる。この構造では、縦形FETおよびキャパシタの新規な回路構造が利用される。キャパシタおよびFETは、従来の手法に比べて、交換されている。この構造は、アクセス縦形デバイス(FET)の上部に、スタック・キャパシタの設置を可能にする。この場合、アレイ領域は増大せず、他方、例えば高密度DRAMの製造のために非常に簡単なプロセスを容易にする。

【0031】次に、本発明の共通ソース・メモリ・セルの動作を説明する。図2に、詳細を示す。前述したように、電源電圧 V_{DD} は、ソース・ノードに供給される。セルに論理“1”(すなわち、 V_{DD} のセル電圧)を書込むには、ビットライン35をまず0ボルトにドライブする($V_{BL}=0V$)。次に、アクセス・トランジスタ30が完全にターンオンし、キャパシタ34をディスチャージさせる。トランジスタ30が各ワードライン1によって選択されるので、トランジスタ30のみがターンオンする。トランジスタ40は、ターンオンしない。適切なワードライン(この例では、ワードライン1)を選択することによって、全電圧 V_{DD} を、対応するキャパシタ34

に記憶することができる。次に、アクセス・トランジスタ30をターンオフすることによって、書き込みレベルが記憶される。各ワードラインによって選択された左側のメモリ・セルのみに、“1”が記憶される。図示の例では、ワードライン1が選択され、電圧 V_{DD} が書込まれ、キャパシタ34に記憶される。ワードライン2は選択されなかったので、トランジスタ40はターンオンせず、電圧 V_{DD} はキャパシタ44に書込まれない。

【0032】メモリ・セルに論理“0”(すなわち、0ボルトの電圧)を書込むには、図3に示すように、ビットライン35を V_{DD} にドライブする(すなわち、 $V_{BL}=V_{DD}$)。アクセス・トランジスタ40をターンオンして、キャパシタ44に0ボルト($V_{DD}-V_{DD}$)を記憶する。この動作中、電圧 V_{DD} が記憶されている、選択されなかったセルのセル・ノード(例えばトランジスタ30およびキャパシタ34)は、図3の左側に示すように、電圧が約 $2V_{DD}$ にブートされる。左側のセルに“1”は記憶されたままである。縦形FETにおける接合プロファイルの垂直グレーディング特性の故に(例えば、図1(A)のFETを参照のこと)、アクセス・トランジスタにおけるゲート誘導ドレイン漏洩(GIDL;ゲート変調高電界による、ドレインと基板との接合漏洩)は、最小とされ、本発明のユニークな共通ソース方式における適切なセル動作を可能にする。

【0033】セルの読取りについては(図4(A)および(B)を参照)、ビットラインの前の状態によって、2つの異なる方法がある。図4(A)に示すように、ビットライン35を、0Vから $V_{DD}/2$ レベル(すなわち、 $V_{BL}=V_{DD}/2$)にプリチャージすることができる。次に、アクセス・トランジスタ30をターンオンし、記憶されたセル・チャージがビットライン電圧に変化を生じさせる。ビットライン電圧におけるこの変化は、検出することができる。 $V_{DD}/2$ ボルトにプリチャージされた他のビットラインとの比較によって、検出を行うことができる。このことは、例えば、文献“1/2- V_{DD} bit-line sensing scheme in CMOS DRAMs”, IEEE JS SC Vol.SC19, No. 4, pp.451-454, April 1984に記載されている。

【0034】ビットライン35が電圧 V_{DD} にあるならば、記憶された情報を読取ることができるためには、ビットラインは、図4(B)に示すように、 $V_{BL}=V_{DD}/2$ にプルダウンされなければならない。次に、アクセス・トランジスタ30をターンオンし、記憶されたセル・チャージが、ビットライン電圧の変化を生じさせるようにする。ビットライン電圧のこの変化は、検出することができる。ビットラインが以前に0Vまたは V_{DD} であったか否かとは無関係に、左側のセルに記憶されている“1”と、右側のセルに記憶されている“0”とを検出することができる。

【0035】基本ビルディング・ブロック(少なくとも

1つの縦形FETとスタック・キャパシタよりなる進歩性のある配置を備えるメモリ・セル)を説明したが、次に、このようなメモリ・セルを有するアレイの2つの例(図5および図6(A)、(B))を説明する。

【0036】図5において、メモリ・アレイ50の一部の断面図を示す。このメモリ・アレイの断面は、ワードラインに平行に切断されたものである。数個のメモリ・セル64~66が、基板62(例えば、シリコンよりなる)に形成されている。隣接メモリ・セル(64と65、65と66)は、共通ソース53を有している。他の実施例では、隣接メモリ・セルは、共通ソースの代わりに、個別のソースを有することができる。図5に示すように、メモリ・セル間の空間を、共通ワードラインとして働く導電材料55で充てんされている。1つの同じワードラインに沿った隣接セルを相互接続するためには、導電材料55が設けられなければならない。このことは、付着工程とリソグラフィ工程とを必要とする。導電材料の上には、絶縁材料63が設けられる。例えば、酸化物が適切である。同様に、隣接FETのポリシリコン・ゲートが相互接続を与えるように、メモリ・セルを接近して配置することができる。このような場合、導電材料55は不必要となる。

【0037】各メモリ・セルは、ビットラインに接続される。本実施例では、メモリ・セル64はビットライン76に接続され、メモリ・セル65はビットライン77に接続され、メモリ・セル66はビットライン78に接続される。図からわかるように、ビットラインはワードラインに対して垂直である。これらのビットラインは、キャパシタの上部電極57の上部に直接形成することができる。同様に、上部電極は、ビットラインを形成することができる。

【0038】他のアレイ80の2つの断面を、図6(A)および(B)に示す。図6(A)の断面は、ワードラインに平行であり、図6(B)の断面は、ビットラインに平行である。図示のように、アレイ80は、基板83上に形成された数個のメモリ・セル87~89と92、93とを有している。セル87~89のポリシリコン・ゲート90は、ワードラインを形成する(図6

(A)参照)。ビットライン84、85、86は、上部に形成される。本実施例では、1本のワードライン内の隣接メモリ・セル間の距離は、 F であり(ここに、 F は、最小のリソグラフィ・ライン幅である)、隣接ゲート電極90が相互接続されることを保証する。他方、隣接するが独立のワードラインの2つのメモリ・セル、例えば87と92との間の距離は、 $F+f$ となるように選ばれる(図6(B)参照)。 f は、例えば約 $0.1F$ とすることができる。図5の場合のように、セルのキャパシタ間のワードライン90の上部に、絶縁材料91が設けられている。本実施例では、同じ絶縁材料を用いて、図6(B)に示すように、隣接ワードラインのセル間の

ギャップを充てんすることもできる。ワードライン間のギャップを充てんするために用いられるこの絶縁材料91は、ビットライン84が異なって配置され構成されるならば、実際には不必要である。図6(A)および

(B)のアレイは、他の利点に加えて、ワードライン相互接続を形成する個別の付着工程およびリソグラフィ工程を必要としない利点を有している。ワードラインおよびビットラインは、互いに電氣的に接続されないことに注意すべきである。

【0039】次に、本発明のアレイを製造するのに適した製造方法を例示的に説明する。

【0040】基板をpウェル注入の後、窒化物マスクを用いて、垂直チャンネルとして働くピラーを画成する。次に、これらのピラーを、例えば、 $\text{HCl}-\text{Cl}_2-\text{N}_2$ プラズマを用いた反応性イオン・エッチングによって、基板内に形成する。チャンネル長は、ピラーの高さによって定まる。約 250nm のチャンネル長は、約 350nm の高さのピラーを必要とし、約 450nm のチャンネルは、約 550nm の高さのピラーを必要とする。プラズマによる損傷を除去する犠牲酸化工程と、LOCOS(local oxidation of silicon;シリコンの局部酸化)工程またはSTI(shallow trench isolation;浅いトレンチ分離)工程に続いて、As注入を用いて、セルの共通ソースおよび分離ドレインを形成する。Asのドーズ量は、 $2 \times 10^{15}\text{cm}^{-2}$ とすることができる。このプロセスの利点は、ソース注入がピラーに対し自己整合されることである。次の工程では、構造がアニールされる。これは、 N_2 雰囲気中で、 1050°C 、30分間行うことができる。犠牲酸化物を除去した後、ゲート酸化物を熱成長させる。このゲート酸化物は、数 nm 厚さとすることができる。好ましくは、 $5\sim 7\text{nm}$ の厚さである。その場合Asドーブ・ポリシリコンを、LPCVD法を用いて付着する。次に、例えば、 Cl_2-O_2 シリコン・エッチングを用いて、自己整合エッチングによって、ポリシリコン・ワードライン(ゲート)を形成する。ゲート・ポリシリコンの厚さ($F/2$ 、例えば 100nm)は、ワードライン方向の隣接セル間の F (例えば、 200nm)ギャップを充てんするのに十分であるが、隣接ワードラインのピラー間のギャップ($F+f$ 、例えば 300nm)を充てんするには不十分である。ワードラインとして働くポリシリコン・ゲートは、ピラーの上部の下側約 100nm のところにあるゲート電極の上部まで、反応性イオン・エッチングされる。上記のプロセスによって、ポリシリコン・ゲート電極が相互接続されたこれらのピラーにより、連続するワードラインが形成される。例えば、酸化物またはBDSG(Boron-Phosphorous Silicate Glass)付着層の化学機械平坦化(CMP;chemical mechanical planari

zation)によって、平坦化を実行できる。キャパシタが、ドレイン上の各ピラーの上に形成される。各キャパシタは、下部電極、誘電体、上部電極を有している。上部電極は、ビットラインに接続することができ、あるいはビットラインの部分を形成することができる。

【0041】以上説明したキャパシタは、下側のアクセス・トランジスタの上部に積層されるのに適したあらゆる種類の他のキャパシタによって置き換えることができる。このようなキャパシタの十分なキャパシタンスを保証するには、トレンチ(図1(A)に示されるトレンチのような)内に、あるいはリッジまたはピラー上に形成されるキャパシタを、通常用いる。キャパシタの電極の有効面積を増大させることによって、キャパシタと表面積との比を増大させることができる。本発明との関連で、プレーナ形キャパシタおよび3次元のスタック形とトレンチ形のキャパシタを用いることができる。

【0042】縦形FETを作製するのに適した方法は、前記した米国特許出願第08/749,748号明細書に記載されている。この米国出願明細書に記載されている方法は、このようなFETの重要部分であるポリシリコン・ゲート導体のサイズおよび形状を正確に定めることを可能にする。従来の半導体処理工程を、本発明の構造を実現するために用いることができる。

【0043】他の実施例では、隣接メモリ・セルのドレイン(ソースの代わりに)を、相互接続することができる。このような実施例では、FETのソースは、キャパシタの下部電極に接続されている。このような他の実施例は、ソースおよびドレインが交換されていることが異なるが、図1(A)に示した実施例と同じである。すなわち、この他の実施例では、ソース領域は垂直ピラーの上部にあり、ドレイン領域は、ピラーの下部に設けられている。このような構造は、共通ドレイン・トランジスタ・キャパシタ・スタックと呼ぶことができる。

【0044】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 少なくとも2個のセルを備える半導体回路において、前記各セルは、ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、前記セルのソースは、相互接続されている、ことを特徴とする半導体回路。

(2) 少なくとも2個のセルを備える半導体回路において、前記各セルは、ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ソースに接続されたキャパシタとを有し、前記セルのドレインは、相互接続されている、ことを特徴とする半導体回路。

(3) 前記ゲートが相互接続されていることを特徴とす

る上記(1)または(2)に記載の半導体回路。

(4) メモリ・デバイスの一部であることを特徴とする上記(3)に記載の半導体回路。

(5) 前記相互接続されたゲートは、ワードラインに接続され、または、前記メモリ・デバイスのワードラインを形成することを特徴とする上記(4)に記載の半導体回路。

(6) 前記第2の電極は、前記メモリ・デバイスのビットラインに接続されていることを特徴とする上記(4)に記載の半導体回路。

(7) 前記トランジスタは、チャンネルとして働く垂直ピラーを有し、前記ソースは、前記チャンネルの一端に設けられ、前記ドレインは、前記チャンネルの他端に設けられていることを特徴とする上記(1)に記載の半導体回路。

(8) 前記トランジスタは、チャンネルとして働く垂直ピラーを有し、前記ドレインは、前記チャンネルの一端に設けられ、前記ソースは、前記チャンネルの他端に設けられていることを特徴とする上記(2)に記載の半導体回路。

(9) 前記ゲートは、チャンネルとして働く前記ピラーの側壁を取り囲み、薄い酸化物層が、前記ゲートと前記ピラーとの間に設けられ、ゲート酸化物として働くことを特徴とする上記(7)または(8)に記載の半導体回路。

(10) 前記少なくとも2つのセルのトランジスタは、1つの同じソースを共有することを特徴とする上記(7)に記載の半導体回路。

(11) 前記少なくとも2つのセルのトランジスタは、1つの同じドレインを共有することを特徴とする上記(8)に記載の半導体回路。

(12) 共通の基板上に形成されていることを特徴とする上記(1)または(2)に記載の半導体回路。

(13) 上記(1)または(2)に記載のセルのアレイを備えるメモリ・デバイスにおいて、前記セルの第1のグループの第2の電極は、第1のビットラインで相互接続され、前記セルの第2のグループの第2の電極は、第2のビットラインで相互接続され、前記第1のグループの少なくとも1つのセルと、前記第2のグループの1つのセルとは、ワードラインによって相互接続され、前記ワードラインは、これらのセルのゲートに接続されている、ことを特徴とするメモリ・デバイス。

(14) 前記ビットラインは、前記第2の電極上に直接に形成されていることを特徴とする上記(13)に記載のメモリ・デバイス。

(15) ダイナミック・ランダム・アクセス・メモリ(DRAM)であることを特徴とする上記(13)に記載のメモリ・デバイス。

(16) 少なくとも1個のセルを備えるメモリ・デバイスにビットを記憶する方法において、前記セルは、ソー

ス、ドレイン、ゲートを有する縦形電界効果形トランジスタと、第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、前記ソースは電源電圧に接続され、前記第2の電極はビットラインに接続され、前記ゲートはワードラインに接続され、前記方法は、前記ビットラインを0Vにドライブするステップと、前記ワードラインに電圧を供給して前記セルを選択して前記キャパシタをチャージし、前記電源電圧にほぼ等しい電圧を、前記第1の電極と第2の電極との間に生成するステップと、を含むことを特徴とする方法。

(17) 少なくとも1個のセルを備えるメモリ・デバイスに記憶されたビットを除去する方法において、前記セルは、ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、前記ソースは電源電圧に接続され、前記第2の電極はビットラインに接続され、前記ゲートはワードラインに接続され、前記ビットは、前記第1の電極と第2の電極との間に、前記電源電圧にほぼ等しい電圧の形で記憶され、前記方法は、前記ビットラインを、0Vから前記電源電圧にほぼ等しい電圧にドライブするステップと、前記ワードラインに電圧を供給して前記セルを選択して前記キャパシタをディスチャージするステップと、を含むことを特徴とする方法。

(18) 少なくとも1個のセルを備えるメモリ・デバイスに記憶されたビットを読取る方法において、前記セルは、ソース、ドレイン、ゲートを有する縦形電界効果形トランジスタと、第1および第2の電極を有し、前記トランジスタの上部に設けられ、前記第1の電極が前記ドレインに接続されたキャパシタとを有し、前記ソースは電源電圧に接続され、前記第2の電極はビットラインに接続され、前記ゲートはワードラインに接続され、前記ビットは、前記第1の電極と第2の電極との間に、前記電源電圧にほぼ等しい電圧の形で記憶され、前記方法は、前記ビットラインを、前記電源電圧の約半分の電圧にドライブするステップと、前記ワードラインに電圧を供給して前記トランジスタをターンオンし、前記第1の電極と第2の電極との間に記憶された前記電圧が、前記ビットラインの電圧に変化を生じさせるステップと、前記変化を検出するステップと、を含むことを特徴とする方法。

【図面の簡単な説明】

【図1】 (A) は本発明の第1実施例の断面図、(B) は(A) に示した新規構造の断面図である。

【図2】 本発明による2個のメモリ・セルの回路図であり、左側のメモリ・セルが選択されて、各キャパシタに“1”を書込む状態を示す。

【図3】 本発明による2個のメモリ・セルの回路図であり、右側のメモリ・セルが選択されて、各キャパシタに“0”を書込む状態を示す。

【図4】 本発明による2個のメモリ・セルの回路図であり、ワードラインを選択することによって、記憶情報をセルから読取る状態を示す。(A) は、ワードラインの選択の前に、ビットラインは0Vから $V_{DD}/2$ にプリチャージされる場合を、(B) はワードラインの選択の前に、ビットラインは V_{DD} から $V_{DD}/2$ にプリチャージされる場合を示している。

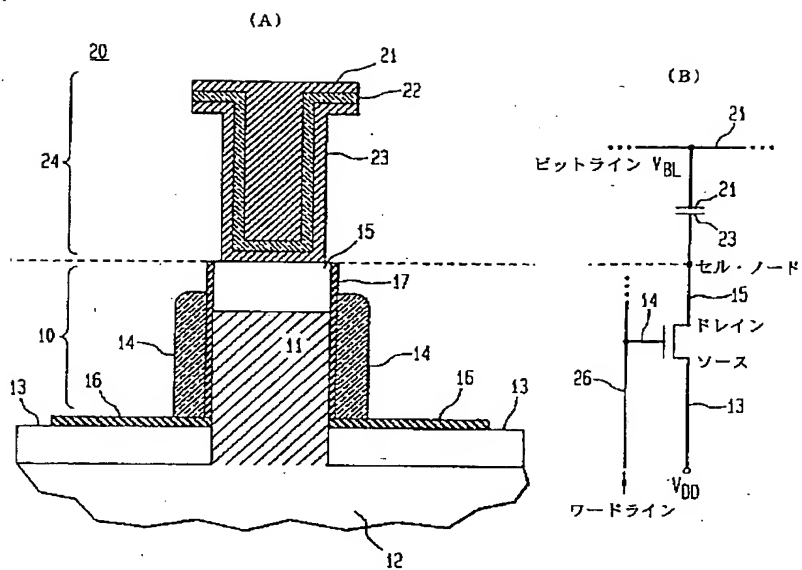
【図5】 本発明によるワードライン方向のメモリ・セル・アレイの断面図である。

【図6】 (A) は、本発明によるワードライン方向の他のメモリ・セル・アレイの断面図であり、隣接FETのゲート電極が接続されて共通ワードラインを形成する状態を示し、(B) は、ビットライン方向における(A)のメモリ・セル・アレイの断面図であり、隣接FETのゲート電極が接続されていない状態を示している。

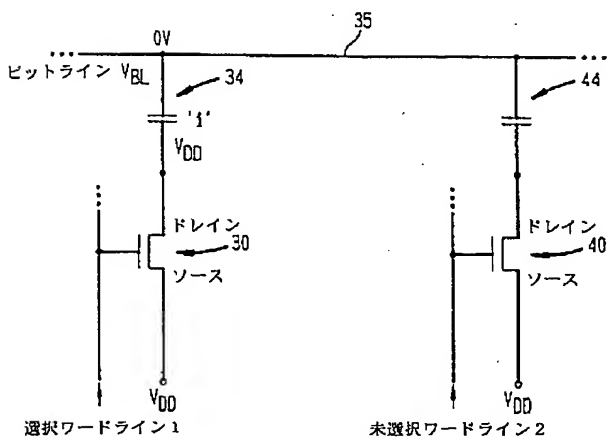
【符号の説明】

- 10 縦形FET
- 11 ゲート・チャンネル
- 12 基板
- 13 ソース
- 14 ゲート層
- 15 ドレイン
- 17 ゲート酸化物
- 20 メモリ・セル
- 21 上部電極
- 22 誘電体層
- 23 下部電極
- 24 キャパシタ
- 30, 40 トランジスタ
- 34, 44 キャパシタ
- 35 ビットライン
- 50, 80 メモリ・アレイ
- 53 共通ソース
- 55 導電材料
- 57 上部電極
- 62, 83 基板
- 63, 91 絶縁材料
- 64~66, 87~89, 92, 93 メモリ・セル
- 90 ポリシリコン・ゲート

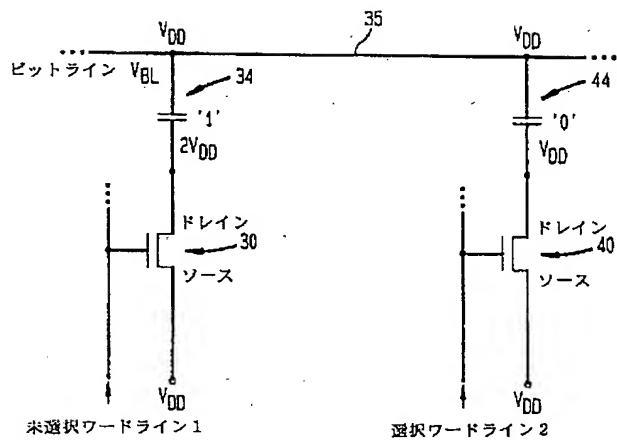
【図 1】



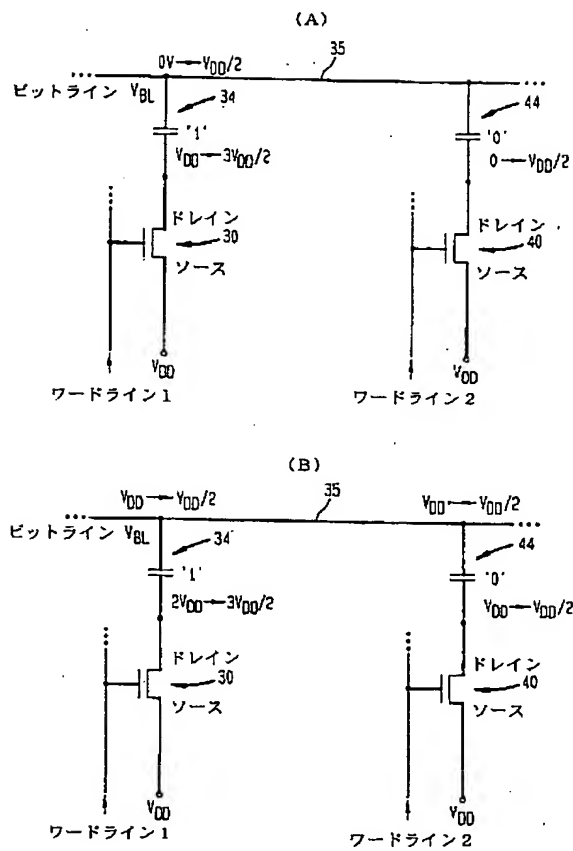
【図 2】



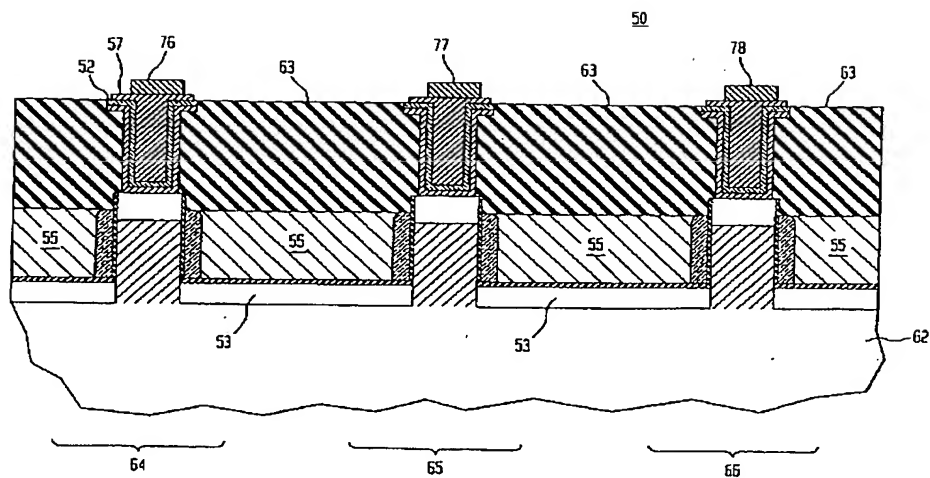
【図 3】



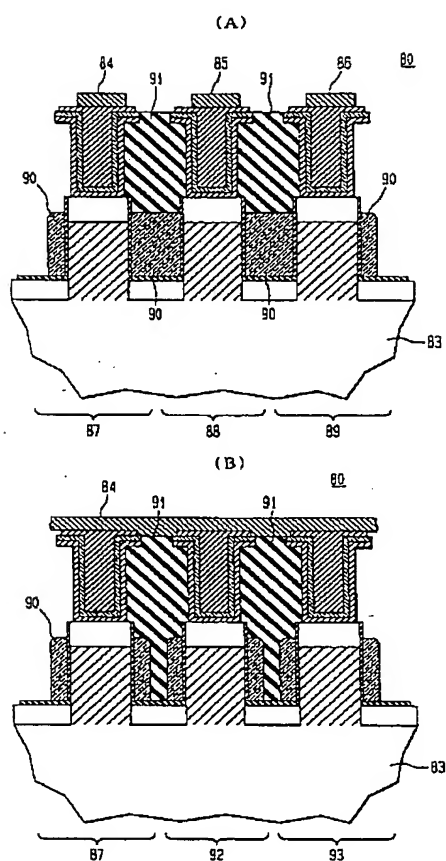
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 アーヴィンド・クマール
 アメリカ合衆国 10016 ニューヨーク州
 ニューヨーク ナンバー12エイ イース
 ト フォーティ ストリート 235

(72)発明者 マシュー・アール・ワードマン
 アメリカ合衆国 10541 ニューヨーク州
 マホパック サイカモア ロード 32